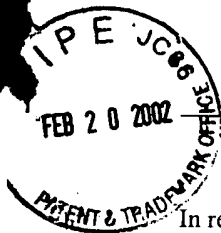


2815



RECEIVED

FEB 28 2002

TC 2800 MAIL ROOM

In re application of: YI-HUA CHANG et al.
Application No.: 09/990,161
Filed: November 20, 2001
For: ELECTROSTATIC DISCHARGE PROTECTION
CIRCUIT
Examiner:
Art Unit:

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

January 24, 2002
(Date)

Jiawei Huang, Reg. No. 43,330

2 / Priority Doc.
E. Villio
3-12-02

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 90111022 filed on May 09, 2001.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA6655). A duplicate copy of this sheet is enclosed.

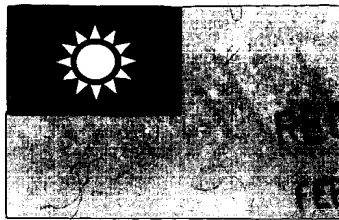
Date: 1/24/2002

By:
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:
J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761

JCLF16655

09/990.161



COPY OF PAPERS
ORIGINALLY FILED

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 05 月 09 日
Application Date

申請案號：090111022
Application No.

申請人：智原科技股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2001 年 11 月 23 日
Issue Date

發文字號：03011018126
Serial No.

申請日期	
案 號	9011022
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	靜電放電保護電路
	英 文	
二、發明 創作人	姓 名	1 張益華 2 張鴻儀
	國 籍	中華民國
	住、居所	1 新竹縣竹北市中山路 429 號 2 新竹市光復路一段 89 巷 123-7 號 11 樓
三、申請人	姓 名 (名稱)	智原科技股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區展業一路 9 號 7 樓之 3
	代 表 人 姓 名	蔡明介

裝

訂

線

四、中文發明摘要（發明之名稱：

靜電放電保護電路

)

一種靜電放電保護電路，連接於一焊墊與一前級驅動器之間。靜電放電保護電路包括一 PMOS 電晶體與一 NMOS 電晶體串聯在一起。PMOS 電晶體的一源/汲極連接到一系統電源，閘極連接至一前級驅動器，而其另一源/汲極連接到 NMOS 電晶體的一源/汲極，也同時連接到焊墊。NMOS 電晶體的另一源/汲極接地。NMOS 電晶體的閘極接收前級驅動器之輸出。另外於 PMOS 電晶體，連接到一系統電源的源/汲極與 NMOS 電晶體的閘極之間，連接有一電容。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要（發明之名稱：

)

訂

線

五、發明說明 (|)

本發明是有關於一種電子電路，且特別是有關於一種靜電放電(electrostatic discharge, ESD)保護電路。

在積體電路(IC)，例如動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)的製造過程中或是晶片完成後，靜電放電事件常是導致積體電路損壞的主要原因，因此我們通常都會順道在其內部製造一靜電放電保護電路，以避免因外來靜電而導致積體電路受到傷害(damage)。例如在地毯上行走的人體，於相對濕度(RH)較高的情況下可檢測出約帶有幾百至幾千伏的靜態電壓，而於相對濕度較低的情況下則可檢測出約帶有一萬伏以上的靜態電壓。當這些帶電體接觸到晶片時，將會向晶片放電，結果有可能造成晶片失效。以目前最普遍的互補式金氧半(CMOS)製程技術而言，靜電放電事件所產生的問題尤其嚴重。

於是，爲了避免靜電放電損傷晶片，各種防制靜電放電的方法便因應而生。最常見的習知作法是利用硬體防制靜電放電，也就是在內部電路(Internal Circuit)與每一焊墊(Pad)間，均設計一靜電放電保護電路以保護其內部電路。目前，靜電放電的問題已成爲深次微米，或更小的積體電路故障的原因之一。所以，如何有效提昇靜電放電保護電路的效能乃爲目前業界所亟盼的。

第 1 圖繪示傳統的一種靜電放電保護電路。圖中靜電放電保護電路包括一 PMOS 電晶體 50 及一 NMOS 電晶體 52。PMOS 電晶體 50 的一源/汲極連接到一系統電源，而其另一源/汲極連接焊墊 54。PMOS 電晶體 50 的閘極連接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(之)

至一前級驅動器 61。NMOS 電晶體 52 與 PMOS 電晶體 50 連接的源/汲極與焊墊 54 連接。NMOS 電晶體 52 的閘極接收一前級驅動器 60 的輸出。NMOS 電晶體 52 的另一源/汲極接地。

第 1 圖中的靜電放電保護電路，NMOS 電晶體 52 的閘極與源/汲極之間存在有一等效電容 56。當靜電脈衝由焊墊 54 進入時，因等效電容 56 的作用，可將 NMOS 電晶體 52 的閘極電壓提高。從而降低 NMOS 電晶體 52 的 SNAP-BACK 電壓，靜電就可經由 NMOS 電晶體 52 流入接地處。若無等效電容 56 將 NMOS 電晶體 52 的閘極電壓提高，SNAP-BACK 電壓將提高，NMOS 電晶體 52 的保護能力將降低。

另一種常見於超壓容忍(Over Voltage Tolerant)輸入輸出級(I/O Pad)的習知靜電放電保護電路，如第 2 圖所示。於第 2 圖中，靜電放電保護電路由兩個 N 型金氧半導體(NMOS)電晶體 50，52 構成。NMOS 電晶體 50 的一源/汲極連接到一焊墊 54。NMOS 電晶體 50 的閘極連接到一系統電源。NMOS 電晶體 50 的另一源/汲極連接到 NMOS 電晶體 52 的源/汲極。NMOS 電晶體 52 的閘極連接至一前級驅動器 60。當靜電透過焊墊 54 進入時，因電流至接地點的路徑較長，且無直接有效的寄生電容能提高 NMOS 電晶體 52 的閘極電位以降低其 SNAP-BACK 電位，故此種電路的靜電保護能力常遠較圖 1 所示電路差。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 3 ）

有鑑於此，本發明提供一種靜電放電保護電路，藉由一電容回路，使有效提高靜電放電保護電路的保護效能。

本發明提供一靜電放電保護電路，連接於一焊墊與一前級驅動器之間。靜電放電保護電路包括一 PMOS 電晶體與一 NMOS 電晶體串聯在一起。PMOS 電晶體的一源/汲極連接到一系統電源，閘極連接到一前級驅動器，而其另一源/汲極連接到 NMOS 電晶體的一源/汲極，也同時連接到焊墊。NMOS 電晶體的另一源/汲極接地。NMOS 電晶體的閘極接收前級驅動器之輸出。另外於 PMOS 電晶體，連接到一系統電源的源/汲極與 NMOS 電晶體的閘極之間，連接有一電容。

上述迴路電容可避免利用 NMOS 電晶體的汲閘間寄生等效電容，靜電放電的效能可較穩定，也可承受較大的靜電脈衝電壓。

本發明提供另一靜電放電保護電路，連接於一焊墊與一前級驅動器之間。此靜電放電保護電路包括一第一 PMOS 電晶體具有一第一源/汲極，一第二源/汲極及一閘極，其中第一 PMOS 電晶體的第一源/汲極連接到一系統電源，其閘極連接到一前級驅動器，其第二源/汲極連接到該焊墊。一第一 NMOS 電晶體具有一第一源/汲極，一第二源/汲極及一閘極，其第一 NMOS 電晶體之第一源/汲極連接焊墊，其閘極連接到系統電源。一第二 NMOS 電晶體具有一第一源/汲極，一第二源/汲極及一閘極，其第二 NMOS 電晶體之第一源/汲極與第一 NMOS 電晶體之第二源/汲極

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(4)

連接，第二 NMOS 電晶體之第二源/汲極接地，第二 NMOS 電晶體之閘極接收該前級元件之輸出。另外包括一電容及一第二 PMOS 電晶體，其具有一第一源/汲極，一第二源/汲極及一閘極。電容連接於第二 PMOS 電晶體之第一源/汲極與第一 PMOS 電晶體之一基底之間。第二 PMOS 電晶體之閘極連接到系統電源。第二 PMOS 電晶體之第二源/汲極連接到第二 NMOS 電晶體之閘極，接收前級元件之輸出。

上述中，電容包括一種金氧半導體電容。而前級元件包括一前級驅動器。

爲讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示一傳統靜電放電保護電路；

第 2 圖繪示另一種傳統靜電放電保護電路；

第 3 圖繪示依照本發明，一靜電放電保護電；以及

第 4 圖繪示依照本發明，另一種靜電放電保護電路。

標號說明：

50，52，64，66，68，70 金氧半導體電晶體

54 焊墊

56 汲閘間等效寄生電容

58 寄生二極體

五、發明說明(5)

60 前級驅動器

62 電容

實施例

本發明的主要利用一電容迴路，以提高靜電保護線路在靜電放電時的閘極偏壓。可有效提高靜電放電保護電路的保護效能及其穩定性。以下舉一些實施例，做為本發明特徵的說明。

第 3 圖繪示依照本發明，一靜電放電保護電路。於第 3 圖中，靜電放電保護電包括一 PMOS 電晶體 50，一 NMOS 電晶體 52，及一電容 62。PMOS 電晶體 50 的一源/汲極連接到一系統電源 V_{cc} 。PMOS 電晶體 50 的一閘極連接到一前級驅動器，而其另一源/汲極連接到一焊墊 54 及 NMOS 電晶體 52。NMOS 電晶體 52 與 PMOS 電晶體 50 連接的一源/汲極，也連接到焊墊 54。NMOS 電晶體 52 的一閘極接收一前級元件的輸出，例如前級驅動器 60 的輸出，同時連接到電容 62 的一電極。NMOS 電晶體 52 的另一源/汲極接地。另外，電容 62 的另一電極也連接到系統電源。

於上述的電路中，PMOS 電晶體 50 有一寄生二極體 58。當靜電脈衝由焊墊 54 進入時，靜電荷可由 PMOS 50 之寄生二極體 58 及電容 62，將 NMOS 52 的閘極偏壓提高。

第 4 圖繪示依照本發明，另一種靜電放電保護電路。第 3 圖中，為防止氧化層被打穿 NMOS 52，其用厚度解決。事實上，且可增加一 NMOS 64 而獲得解決。NMOS 64 的二源/汲極，連接於焊墊 54 及 NMOS 52 之間。NMOS 64 的

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

一閘極連接到系統電源 V_{cc} 。

而電容可包括一金氧半導體(MOS)電容 66。較詳細的結構如下。MOS 電容 66 的一電極，可與 PMOS 50 的一基底連接。MOS 電容器的結構，一般是將其二源/汲極與基底連在一起當做電容器的一電極，而閘極為另一電容電極。第 4 圖中的靜電放電保護電路又包括一 PMOS 電晶體 68，其源/汲極與 MOS 電容 66 串接在一起。PMOS 電晶體 68 的閘極連接到系統電源 V_{cc} 。PMOS 電晶體 68 的另一源/汲極與 NMOS 電晶體 52 的閘極相連，並且接收前級驅動器 60 的輸出。

靜電放電保護電路，於 PMOS 電晶體 68 及電容器 66 之連接點，更例如又包括一 PMOS 電晶體 70 連接於其源/汲極上。PMOS 電晶體 70 的另一源/汲極接到系統電源 V_{cc} ，而其閘極接地。

就功能機制而言，因 NMOS 電晶體 64 一直是處於“開”的狀態，NMOS 電晶體 52 的電壓不會超過崩潰電壓，因此 NMOS 電晶體 52 可有效被保護。因為本發明，使用電容器 66 構成迴路，因此不需仰賴 NMOS 電晶體 52 的寄生電容。PMOS 70 提供 PMOS 68 的一源/汲極偏壓，以避免當 PMOS 66 的閘極自焊墊引入高壓時，使 PMOS 68 的二源汲極間壓差過大，造成 PMOS 68 二源級間的崩潰。PMOS 68 提供靜電至 NMOS 52 的閘極一路逕以提高 NMOS 52 在靜電放電時的閘極偏壓。

本發明的靜電放電保護電路，至少可達到特徵：

五、發明說明 (7)

1. 經由設計的路徑，將靜電脈衝引入靜電保護 NMOS 的閘極，提高其放電時的閘極偏壓，藉此提高其靜電耐受力。

2. 本發明亦提供一適用於超壓容忍 (Over Voltage Tolerant) 的線路。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1. 一種靜電放電保護電路，連接於一焊墊與一前級元件之間，該靜電放電保護電路包括：

一 P 型金氧半導體(PMOS)電晶體具有一第一源/汲極，一第二源/汲極及一閘極，其中該 PMOS 電晶體的該第一源/汲極連接到一系統電源，該閘極連接到一前級驅動器，該第二源/汲極連接到該焊墊；

一 N 型金氧半導體(NMOS)電晶體具有一第一源/汲極，一第二源/汲極及一閘極，其中該 NMOS 電晶體之該第一源/汲極連接該 PMOS 電晶體的第二源/汲極及該焊墊，該第二源/汲極接地，該閘極接收該前級元件之輸出；以及

一電容，連接於該系統電源與該 NMOS 電晶體的該閘極之間。

2. 如申請專利範圍第 1 項所述之靜電放電保護電路，其中該 NMOS 電晶體之一閘極氧化層包括一氧化層具有一厚度，可承受比該系統電源高之一電源。

3. 如申請專利範圍第 1 項所述之靜電放電保護電路，其中該前級元件包括一前級驅動器。

4. 一種靜電放電保護電路，連接於一焊墊與一前級元件之間，該靜電放電保護電路包括：

一第一 P 型金氧半導體(PMOS)電晶體具有一第一源/汲極，一第二源/汲極及一閘極，其中該第一 PMOS 電晶體的該第一源/汲極連接到一系統電源，該閘極連接到一前級驅動器，該第二源/汲極連接到該焊墊；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

一第一 N 型金氧半導體(NMOS)電晶體具有一第一源/汲極，一第二源/汲極及一閘極，其中該第一 NMOS 電晶體之該第一源/汲極連接該焊墊，該閘極連接到該系統電源；

一第二 NMOS 電晶體具有一第一源/汲極，一第二源/汲極及一閘極，其中該第二 NMOS 電晶體之該第一源/汲極與該第一 NMOS 電晶體之該第二源/汲極連接，該第二 NMOS 電晶體之該第二源/汲極接地，而第二 NMOS 電晶體之該閘極接收該前級元件之輸出；

一電容；以及

一第二 PMOS 電晶體具有一第一源/汲極，一第二源/汲極及一閘極，其中該電容連接於該第二 PMOS 電晶體之該第一源/汲極與該第一 PMOS 電晶體之一基底之間，該第二 PMOS 電晶體之該閘極連接到該系統電源，該第二 PMOS 電晶體之該第二源/汲極連接到該第二 NMOS 電晶體之該閘極，接收該前級元件之輸出。

5. 如申請專利範圍第 4 項所述之靜電放電保護電路，其中該電容包括一金氧半導體電容。

6. 如申請專利範圍第 5 項所述之靜電放電保護電路，其中該金氧半導體電容包括一金氧半導體電晶體，該金氧半導體電晶體之二源/汲極與一基底連接在一起為該電容之一第一電極，而該金氧半導體電晶體之一閘極為該電容之一第二電極。

7. 如申請專利範圍第 4 項所述之靜電放電保護電路，更包括一第三 PMOS 電晶體具有一第一源/汲極，一第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

二源/汲極及一閘極，其中該第三 PMOS 電晶體之該第一源/汲極連接到該系統電源，該閘極接地，及該第二源/汲極連接到該電容與該第二 PMOS 電晶體之該該第一源/汲極之間。

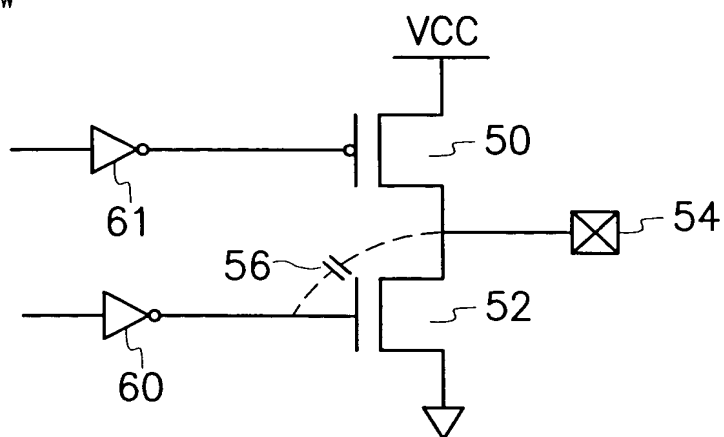
8. 如申請專利範圍第 4 項所述之靜電放電保護電路，其中該前級元件包括一前級驅動器。

(請先閱讀背面之注意事項再填寫本頁)

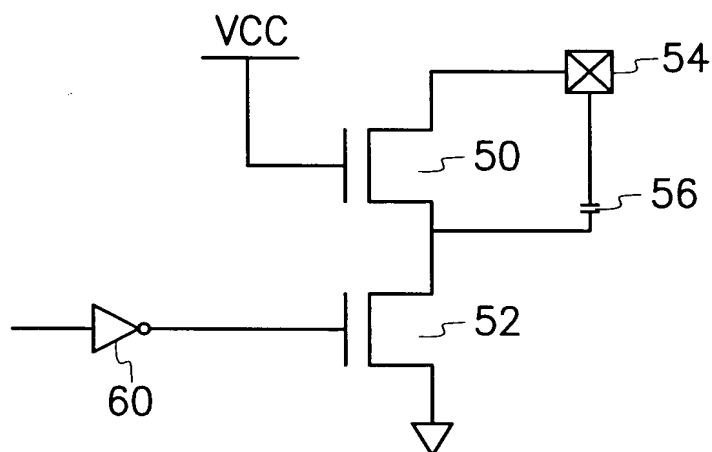
裝

訂

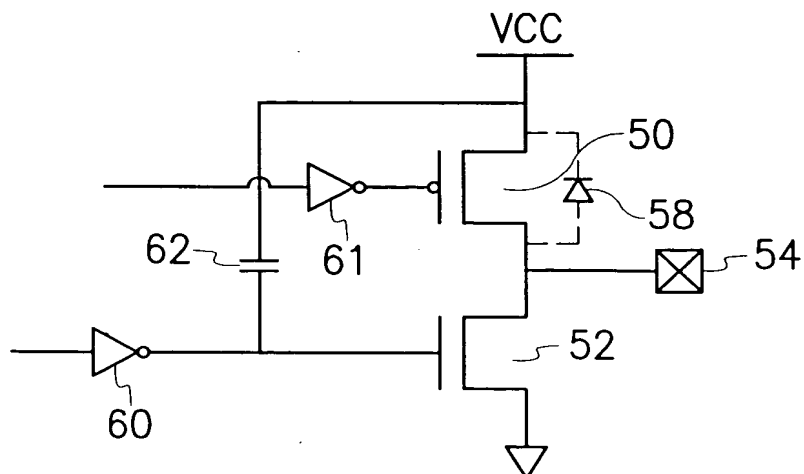
線



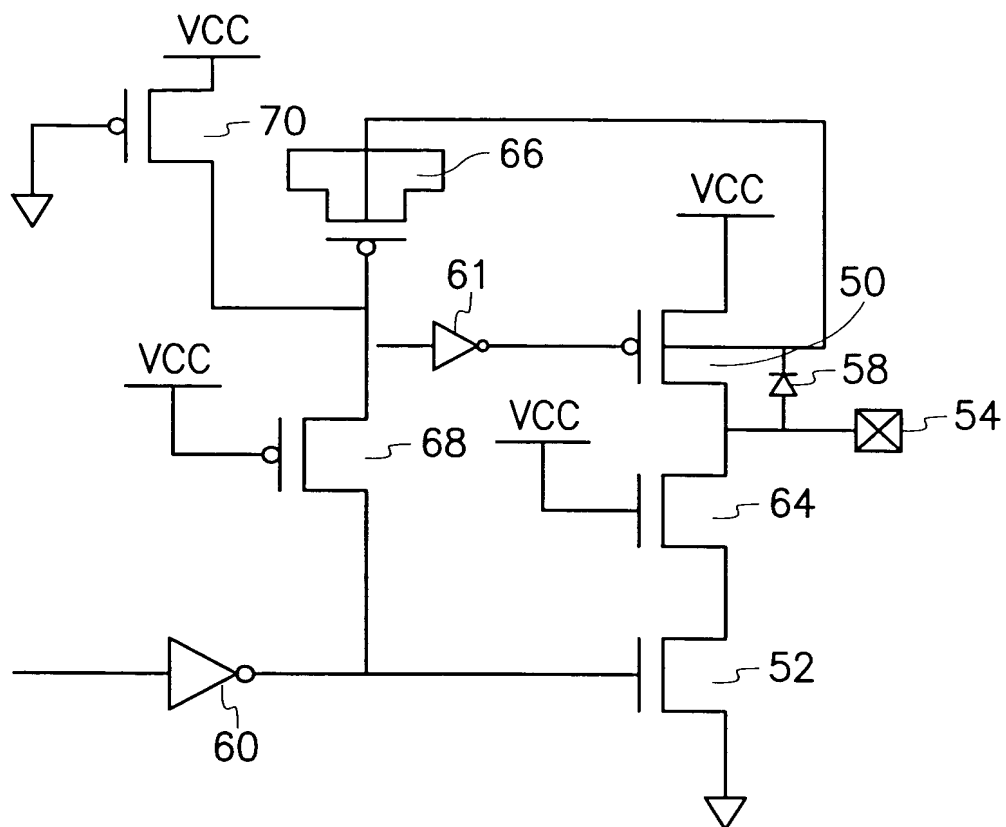
第 1 圖



第 2 圖



第 3 圖



第 4 圖